



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10178334 A**(43) Date of publication of application: **30 . 06 . 98**

(51) Int. Cl.

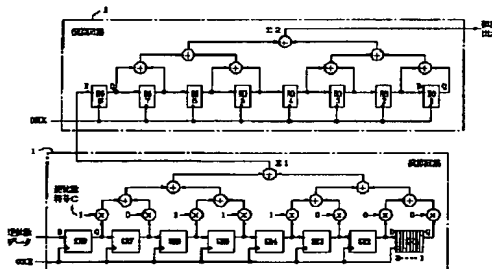
H03H 17/02
H04B 1/707
(21) Application number: **08339625**(22) Date of filing: **19 . 12 . 96**(71) Applicant: **FUJITSU LTD**
(72) Inventor: **YOSHIOKA SHIGEYUKI**
INOUE TAKESHI
MATSUYAMA KOJI
SHIMIZU MASAHIKO
(54) **MATCHED FILTER**

(57) Abstract:

PROBLEM TO BE SOLVED: To obtain precise synchronizing removal by small circuit constitution or processing by successively adding a product sum data group successively obtained between with an inverse spread code group concerning over sampling data by a product sum arithmetic means at a prestage by an adding arithmetic means at a poststage.

SOLUTION: SR1 to SR8 are shift registers on each $m(8)$ stage. Then, SR1 to SR8 time-sequentially store (delay) $n \times m$ (8×8) number of each reverse spread data over-sampled by the $1/8$ chip frequency of input. A product sum circuit consisting of residual constitution successively obtains product sums (correlated output) between $n(8)$ number of each reverse spread data of every $m(8)$ number of SR1 to SR8 and a reverse spread code C. In an arithmetic circuit 2 on a poststage, RG1 to RG8 time-sequentially store m -number of product sum data $\Sigma 1$ with the timing of each $1/8$ chip period of input. Each remaining adder circuit adds each product sum data RG1 to RG8 to obtain correlated data $\Sigma 2$.

COPYRIGHT: (C)1998,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-178334

(43)公開日 平成10年(1998) 6月30日

(51)Int.Cl.⁶

H 0 3 H 17/02

H 0 4 B 1/707

識別記号

6 0 1

F I

H 0 3 H 17/02

H 0 4 J 13/00

6 0 1 Z

D

審査請求 未請求 請求項の数 4 O L (全 18 頁)

(21)出願番号 特願平8-339625

(22)出願日 平成 8 年(1996)12月19日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中 4 丁目 1 番
1 号

(72)発明者 吉岡 重之

神奈川県横浜市港北区新横浜 2 丁目 3 番 9
号 富士通ディジタル・テクノロジー株式会
社内

(72)発明者 井上 武志

神奈川県横浜市港北区新横浜 2 丁目 3 番 9
号 富士通ディジタル・テクノロジー株式会
社内

(74)代理人 弁理士 井桁 貞一

最終頁に続く

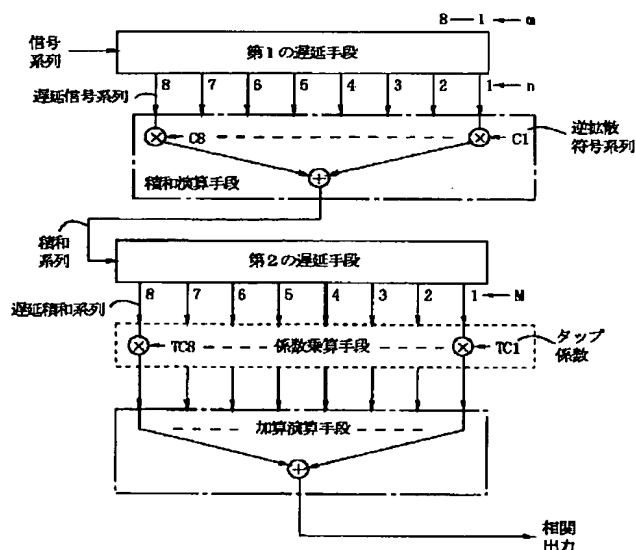
(54)【発明の名称】 マッチトフィルタ

(57)【要約】

【課題】 マッチトフィルタに関し、少ない回路構成又は処理で高精度な同期捕捉の得られることを課題とする。

【解決手段】 n 個の拡散符号系列で拡散した信号系列を前記拡散符号系列と同一の逆拡散符号系列で逆拡散する通信システムにおける前記逆拡散同期を得るためのマッチトフィルタにおいて、チップ周期の $1/m$ 周期でオーバーサンプルされた少なくとも $n \times m$ 個分の信号系列を遅延する第 1 の遅延手段と、前記第 1 の遅延手段における m 個置ききの n 個の遅延信号系列と n 個の逆拡散符号系列との積和を求める積和演算手段と、前記積和演算手段の出力の M ($M \leq m$) 個分の積和系列を遅延する第 2 の遅延手段と、前記第 2 の遅延手段における M 個の遅延積和系列の和を求める加算演算手段とを備える。

本発明の原理を説明する図



【特許請求の範囲】

【請求項 1】 n 個の拡散符号系列で拡散した信号系列を前記拡散符号系列と同一の逆拡散符号系列で逆拡散する通信システムにおける前記逆拡散同期を得るためのマッチトフィルタにおいて、

チップ周期の $1/m$ 周期でオーバーサンプルされた少なくとも $n \times m$ 個分の信号系列を遅延する第 1 の遅延手段と、

前記第 1 の遅延手段における m 個置ききの n 個の遅延信号系列と n 個の逆拡散符号系列との積和を求める積和演算手段と、

前記積和演算手段の出力の M ($M \leq m$) 個分の積和系列を遅延する第 2 の遅延手段と、

前記第 2 の遅延手段における M 個の遅延積和系列の和を求める加算演算手段とを備えることを特徴とするマッチトフィルタ。

【請求項 2】 積和系列の加算数 M は $1 < M \leq m$ の整数に固定されていることを特徴とする請求項 1 のマッチトフィルタ。

【請求項 3】 積和系列の加算数 M は $1 \leq M \leq m$ の範囲で可変に構成されていることを特徴とする請求項 1 のマッチトフィルタ。

【請求項 4】 第 2 の遅延手段と加算演算手段との間に介在し、該第 2 の遅延手段における M 個の遅延積和系列に夫々所定のタップ係数を掛け合わせて前記加算演算手段に提供する係数乗算手段を備えることを特徴とする請求項 1 乃至 3 の何れか 1 に記載のマッチトフィルタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はマッチトフィルタ (Matched Filter) に関し、更に詳しくは n 個の拡散符号系列で拡散した信号系列を前記拡散符号系列と同一の逆拡散符号系列で逆拡散する通信システムにおける前記逆拡散同期を得るためのマッチトフィルタに関する。

【0002】近年、自動車電話や携帯電話等の移動通信システムでは、従来の TDMA (Time Division Multiple Access) 方式に代え、フェージング対策に優れ、より多くの加入者を収容できる DS-SS (Direct Spread - Code Division Multiple Access) 方式による移動通信システムの実用化研究開発が盛んに行われている。本発明は DS-SS 方式による移動通信システムのセル同期捕捉や復調同期捕捉に用いて好適なるマッチトフィルタ (整合フィルタ) の改善に関する。

【0003】

【従来の技術】図 11 ~ 図 18 は従来技術を説明する図 (1) ~ (8) である。図 11 (A) は DS-SS 方式による送信機の一部構成、図 11 (B) は同じく受信機の一部構成を夫々示している。図 11 (A) において、11 は n チップ周期の拡散符号系列 $C(t)$ を発生する符号発生部 (CG)、12 は乗算器 (\times)、13 は

D/A 変換器 (D/A)、14 は BPSK 等による変調部 (MOD)、15 は送信アンプ (TXA)、16 は送信アンテナである。

【0004】入力 of 送信データは乗算器 12 で拡散符号系列 $C(t)$ を乗算 (1 次変調) され、 n 倍周波数の拡散データに変換される。この拡散データは D/A 変換器 13 で D/A 変換された後、変調部 14 で 2 次変調され、送信アンプ 15、送信アンテナ 16 を介して送信される。図 11 (B) において、21 は受信アンテナ、22 は RF アンプ (RXA)、23 は BPSK 等による復調部 (DEM)、24 は A/D 変換部 (A/D)、25 はマッチトフィルタ (MF)、26 はピーク検出部 (PD)、27 は上記拡散符号系列と同一の逆拡散符号系列 $C(t)$ を発生する符号発生部 (CG)、28 は乗算器 (\times) である。

【0005】受信アンテナ 21 の受信信号は RF アンプ 22 で RF 増幅され、復調部 23 で例えば同期検波方式により 2 次復調される。この復調信号は A/D 変換器 24 で A/D 変換され、逆拡散データとなって乗算器 28 及びマッチトフィルタ 25 に供給される。マッチトフィルタ 25 は入力の逆拡散データと逆拡散符号 C との間で相関演算を行い相関値系列を出力する。ピーク検出部 26 は相関値系列の最大のピークを検出して対応するタイミングにトリガ信号 TG を発生する。符号発生部 27 はトリガ信号 TG に同期して逆拡散符号系列 $C(t)$ を発生する。そして、乗算器 28 は入力の逆拡散データに逆拡散符号系列 $C(t)$ を乗算し、こうして送信データと同一の受信データが再生される。

【0006】図 12 は上記符号拡散/逆拡散処理のタイミングチャートを示している。なお、送信機から受信機までの伝送遅延は無視する。拡散符号系列 $C(t)$ は送信データのシンボル周期 T に比べて十分に短い $1/n$ 周期 (即ち、チップ周期 Δt) の PN 系列よりなる。送信機において、送信データに拡散符号系列 $C(t)$ を乗算 (排他的論理和 $\text{mod } 2$ の加算に相当) すると図示の様な拡散データが得られる。受信機においては、入力の逆拡散データに対して、同期のとれた逆拡散符号系列 ① を乗算 (排他的論理和 $\text{mod } 2$ の加算に相当) すると送信データと同一の受信データ ① が再生される。しかし、入力の逆拡散データに対して、例えば 1 チップ周期 Δt だけ位相の遅れた逆拡散符号系列 ② を乗算するとその受信データ ② は略ランダムな信号になってしまう。

【0007】従って、受信データを正しく復調するためには逆拡散データと逆拡散符号系列の位相を合わせる必要があるが、この位相の特定を同期捕捉といい、拡散符号系列の自己相関特性を利用して行われる。図 13 は拡散符号系列の自己相関特性を説明する図である。一般に拡散符号系列としては疑似ランダム性を有する PN (Pseudorandom Noise) 系列が用いられる。PN 系列は以下の性質を備える。

(a) 平衡性：1周期内における「0」と「1」の出現頻度の差が1以下

(b) 連なり性：1周期内に「0」，「1」の連なり数 k のものが $1/2^k$ の割合で存在する

(c) 相関性：符号系列を巡回シフトさせて各項を比較した場合に、一致する項数と一致しない項数との相違は1以下

図13 (A) は一例の拡散符号系列の自己相関出力を表にしている。

【0008】この系列「00011101」は完全なPN系列ではないが、短い周期を有し、かつ上記PN系列の性質 (a) ~ (c) を略満足することから、説明の簡単のために本明細書の具体的説明で採用する。この系列「00011101」の自己相関特性は以下の通りである。ここで、自己相関値の演算は符号「0」を符号「-1」に変換して行う。系列「00011101」同志の自己相関値は $(-1 \times -1) + (-1 \times -1) + (-1 \times -1) + (1 \times 1) + (1 \times 1) + (1 \times 1) + (-1 \times -1) + (1 \times 1) = 8$ となる。系列「00011101」と位相が $1/8$ 周期ずれた系列「00111010」との自己相関値は $(-1 \times -1) + (-1 \times -1) + (-1 \times 1) + (1 \times 1) + (1 \times 1) + (1 \times 1) + (1 \times -1) + (-1 \times 1) = 0$ となる。以下同様である。

【0009】図13 (B) は図13 (A) の自己相関出力をグラフにしている。この系列「00011101」では符号の位相が揃う1周期毎に高い自己相関出力が「8」が得られるが、それ以外の各位相では自己相関出力が「0」以下となっている。従って、この性質を利用して同期捕捉が可能となり、この同期捕捉に必要な相互相関演算（即ち、逆拡散データ系列と逆拡散符号系列との間の相関演算）を行う装置がマッチトフィルタである。

【0010】なお、図13 (C) にM系列の自己相関関数を示す。今日、一般的に使用されるPN系列の代表的なものにM(Maximum-length sequence) 系列がある。M系列では図示の如く符号の1周期に大きな自己相関ピーク値が得られ、他の部分の相関出力は略平坦となる。実際の装置ではこの様なM系列を使用するが、説明の際はこの系列が長いと数値例の演算が膨大となる。そこで、本明細書では拡散符号系列「00011101」を使用して説明を行う。

【0011】図14は従来の一例のマッチトフィルタの構成を示しており、図において、FF1~FF8はフリップフロップ回路、×は乗算器、+は加算器である。FF1~FF8は入力チップ周期 Δt でサンプリング (A/D変換) された各逆拡散データを時系列に記憶 (遅延) する。残りの構成からなる積和回路はFF1~FF8の各逆拡散データと逆拡散符号C「00011101」との積和 (相関出力) を求める。

【0012】図15は図14のマッチトフィルタの動作タイミングチャート示している。入力の各逆拡散データがチップクロック信号CHCKに同期して各FFにシフトインされる。8個目のチップクロック信号CHCKが発生すると、FF1~FF8に最初の逆拡散データ系列「00011101」が入力される。この時点における相関出力は $(-1 \times -1) + (-1 \times -1) + (-1 \times -1) + (1 \times 1) + (1 \times 1) + (1 \times 1) + (-1 \times -1) + (1 \times 1) = 8$ となり、その値が次のチップクロック信号CHCKで不図示のレジスタにセットされる。またこのタイミングではFF1~FF8の逆拡散データ系列は一つシフトされて「00111011」となり、この時点における相関出力は $(-1 \times -1) + (-1 \times -1) + (1 \times -1) + (1 \times 1) + (1 \times 1) + (1 \times 1) + (-1 \times 1) + (1 \times -1) = 2$ となる。以下同様にして進み、図示の様な相関出力 (相関信号) が得られる。ここでは、各データ周期 (= 符号周期) のタイミングに最大の相関出力 ± 8 が得られている。従って、符号発生部27はこのタイミング同期して逆拡散符号系列C (t) を発生すれば、受信データを送信データと同一に再生できる。

【0013】以上はマッチトフィルタの原理的な説明であったが、以下は、通信機のより現実的な特性を加味して説明を行う。図16に逆拡散データ系列と逆拡散符号系列のより詳細な関係を示す。一般に2次復調後 (A/D変換前) の逆拡散信号は送信側の帯域制限フィルタや受信側の雑音除去フィルタの影響 (符号間干渉等) を受けて図示の様なアイパターン (点線で示す) 上を遷移する信号軌跡となる。図は逆拡散信号「00011101」の部分の太線で示している。各アイパターンの中央にA/D変換のサンプル点があり、逆拡散信号の信号レベル \geq 閾値THの場合は逆拡散データ=1、信号レベル < 閾値THの場合は逆拡散データ=-1を出力する。

【0014】係る逆拡散データに同期捕捉する場合を考えると、位相がぴったり合った逆拡散符号aは元より、位相が ϕ 進んだ逆拡散符号bでも、位相が ϕ 遅れた逆拡散符号cでも同期が得られてしまう事が容易に分かる。即ち、この同期捕捉には略チップ周期 Δt 分の曖昧さがある。この場合に、たまたま逆拡散符号の位相がaならば良いが、bやcの場合は、雑音等の影響により同期維持が不安定となるばかりか、受信データの再生 (逆拡散) も誤り易くなる。

【0015】そこで、従来は、入力の逆拡散信号をチップ周期 Δt よりも十分に短い $1/m$ (例えば $m=8$) 周期でオーバーサンプリング (A/D変換) し、得られたオーバーサンプリングデータに基づきより精細な同期捕捉を可能とするマッチトフィルタが知られている。図17は従来のオーバーサンプリング方式によるマッチトフィルタの構成を示す図で、図において、SR1~SR8は各m (8) 段のシフトレジスタである。

【0016】ここでは、SR1～SR8は入力 $1/8$ チップ周期でオーバーサンプリングされた $n \times m$ (8×8)個の各逆拡散データを時系列に記憶(遅延)する。残りの構成からなる積和回路はSR1～SR8の各 m (8)個置き n (8)個の各逆拡散データと逆拡散符号C「00011101」との間の積和(相関出力)を順次求める。

【0017】図18は図17のマッチトフィルタの動作タイミングチャートである。なお、ここでは各 $1/8$ チップ周期の中央にA/D変換のサンプリング点があり、10 入力の逆拡散信号はその信号レベルに応じて0, ± 1 , ± 2 の逆拡散データに量子化されるものとする。また、図示の各相関出力①, ⑧は実際は1データ周期T分だけ遅れて得られるものであるが、ここでは紙面の関係により1データ周期T分だけ進めて併記してある。

【0018】入力の各逆拡散データが $1/8$ チップ周期のオーバーサンプリングクロック信号OSCKに同期して各SRにシフトインされる。64個目のクロック信号OSCKが発生すると、SR1～SR8に図示の様な信号レベルの逆拡散データが入力される。この時点における20 相関出力は $(0 \times -1) + (-2 \times -1) + (-2 \times -1) + (0 \times 1) + (2 \times 1) + (2 \times 1) + (0 \times -1) + (0 \times 1) = 8$ となる。次のクロック信号OSCKが発生すると、SR1～SR8の逆拡散データ系列は夫々1個分シフトされ、この時点における相関出力は $(-1 \times -1) + (-2 \times -1) + (-2 \times -1) + (1 \times 1) + (2 \times 1) + (2 \times 1) + (-1 \times -1) + (1 \times 1) = 12$ となる。以下同様にして進み、図示の様な相関出力①が得られる。

【0019】

【発明が解決しようとする課題】しかし、上記各 m (8)個置き n (8)個のオーバーサンプリングデータに基づき順次相関出力を求める方法であると、相関ピーク値の振幅が低ばかりか、ピーク値に隣接する相関出力の減衰も緩慢となり、ピーク値を俊別できない。また、各相関演算は各 m 個置き n 個のオーバーサンプリングデータに基づくため、入力の信号波形が相関演算に正確には反映されず、相関ピークの検出点に位置ずれが生じてしまう。

【0020】この位置ずれは、相互相関演算が逆拡散データと逆拡散符号の両信号パターンが最も類似する位相で相関ピークを出力するものである事からも容易に理解できる。即ち、ここでは逆拡散符号系列のパターンが「-1-1-1111-11」であるために、これに最も類似する各 m 個置き n 個の逆拡散データのパターン「-2-2-2222-11」は該信号の先頭位置より略3/8チップ周期遅れで表れるからである。

【0021】従って、上記従来方式のマッチトフィルタによると、同期捕捉にはなお曖昧さや不安定さが残る。そこで、 $n \times m$ (64)個分の全オーバーサンプリングデ

ータを用いて高精度な相関出力を求めることが考えられる。図18にこの場合の相関出力⑧を併記してある。入力の逆拡散信号波形が図示の如く鈍っていても、その全オーバーサンプリングデータを用いて相関演算を行えば、入力の信号波形が相関演算に正確に反映される結果、両信号パターンの最も良く一致する入力信号の先頭位置で相関ピーク値が得られることが容易に理解できる。

【0022】しかし、この為には図17の乗算器、加算器の数が単純に m (8)倍となってしまう、現実的ではない。本発明は上記従来技術の問題点に鑑み成されたもので、その目的とする所は、少ない回路構成又は処理で高精度な同期捕捉の得られるマッチトフィルタを提供することにある。

【0023】

【課題を解決するための手段】上記の課題は例えば図1の構成により解決される。即ち、本発明(1)のマッチトフィルタは、 n 個の拡散符号系列で拡散した信号系列を前記逆拡散符号系列と同一の逆拡散符号系列で逆拡散する通信システムにおける前記逆拡散同期を得るためのマッチトフィルタにおいて、チップ周期の $1/m$ 周期でオーバーサンプリングされた少なくとも $n \times m$ 個分の信号系列を遅延する第1の遅延手段と、前記第1の遅延手段における m 個置き n 個の遅延信号系列と n 個の逆拡散符号系列との積和を求める積和演算手段と、前記積和演算手段の出力の M ($M \leq m$)個分の積和系列を遅延する第2の遅延手段と、前記第2の遅延手段における M 個の遅延積和系列の和を求める加算演算手段とを備えるものである。

【0024】本発明(1)によれば、前段の積和演算手段で各 m 個置き n 個のオーバーサンプリングデータにつき逆拡散符号系列との間で順次求めた積和データ系列を、後段の加算演算手段で M ($1 < M \leq m$)個分順次加算する構成により、従来の2倍にも満たない少ない回路構成で、 $n \times m$ 個分の全オーバーサンプリングデータにつき順次相関出力を求めたと同様の高精度かつ高安定な相関出力(ひいては同期捕捉)を得ることが可能となる。

【0025】好ましくは本発明(2)においては、上記本発明(1)において、例えば図4に示す如く、積和系列の加算数 M は $1 < M \leq m$ の整数に固定されている。例えば積和系列の加算数 $M=2$ とすると、図17の従来のマッチトフィルタと比べて、入力の信号波形につき M

(2)倍の波形情報が相関演算反映され、その分演算精度が改善される。積和系列の加算数 M を $3 \sim m$ とすれば相関演算の精度は更に改善される。

【0026】また好ましくは本発明(3)においては、上記本発明(1)において、例えば図7に示す如く、積和系列の加算数 M は $1 \leq M \leq m$ の範囲で可変に構成されている。積和系列の加算数 M を可変に構成することで入力の信号波形等に応じた柔軟な相関演算を行える。

【0027】なお、相関演算に使用する各積和系列は m

個の系列の中からM個を連続的に抽出しても良いし、M個を飛び飛びに抽出しても良い。このことは上記本発明(2)にも当てはまる。また好ましくは本発明(4)においては、上記本発明(1)～(3)において、例えば図1(又は図9)に示す如く、第2の遅延手段と加算演算手段との間に介在し、該第2の遅延手段におけるM個の遅延積和系列に夫々所定のタップ係数を掛け合わせて前記加算演算手段に提供する係数乗算手段を備える。

【0028】本発明(4)によれば、第2の遅延手段におけるM個の遅延積和系列に夫々所定のタップ係数を掛け合わせる構成により、入力信号波形の歪み(鈍り)を等価(整形)して後相関演算を行ったのと同様の効果が得られる。従って、高精度かつ高安定な同期捕捉が得られる。なお、上記本発明の特徴は以下の発明の実施の形態の説明により一層明らかとなる。

【0029】

【発明の実施の形態】以下、添付図面に従って本発明に好適なる複数の実施の形態を詳細に説明する。なお、全図を通して同一符号は同一又は相当部分を示すものとする。図2は第1の実施の形態によるマッチトフィルタの構成を示す図で、図において、1は前段の演算回路、2は後段の演算回路、RG1～RG8はレジスタである。なお、このマッチトフィルタが使用される受信機の構成は図11(B)と同様で良い。

【0030】前段の演算回路1については図17の従来のマッチトフィルタと同一で良い。後段の演算回路2において、RG1～RG8は入力各1/8チップ周期のタイミングに求められたm個分の積和データΣ1を時系列に記憶(遅延)する。残りの各加算回路はRG1～RG8の各積和データを加算し、最終的に相関データΣ2

を求める。

【0031】図3は第1の実施の形態によるマッチトフィルタの動作を説明する図である。なお、このマッチトフィルタの動作タイミングチャートとしては図18を参照されたい。あるオーバーサンプリングクロック信号OSCKのt0のタイミングには前段の演算回路1の出力に積和データΣ1(t0) = (D11×C1) + (D21×C2) + (D31×C3) + (D41×C4) + (D51×C5) + (D61×C6) + (D71×C7) + (D81×C8) が得られる。ここで、逆拡散データD11は図18における第1のチップ周期Δtにおける第1のオーバーサンプリングデータを表す。逆拡散データD21は第2のチップ周期2Δtにおける第1のオーバーサンプリングデータを表す。以下同様である。

【0032】次のクロック信号OSCKのt1のタイミングには上記求めた積和データΣ1(t0)の内容が後段の演算回路2のRG8にセットされ、同時に前段の演算回路1の出力にはΣ1(t1) = (D12×C1) + (D22×C2) + (D32×C3) + (D42×C4) + (D52×C5) + (D62×C6) + (D72

×C7) + (D82×C8) が得られる。ここで、逆拡散データD12は図18における第1のチップ周期Δtにおける第2のオーバーサンプリングデータを表す。逆拡散データD22は第2のチップ周期2Δtにおける第2のオーバーサンプリングデータを表す。

【0033】以下同様にして進み、8個目のクロック信号OSCKのt8のタイミングには後段の演算回路2のRG1～RG8に逆拡散符号1周期分に相当する64個の全オーバーサンプリングデータに基づく積和データΣ1(t0)～Σ1(t7)がセットされる。後段の演算回路2はこのt8のタイミングに全積和データΣ1(t0)～Σ1(t7)の加算データΣ2(t8) = 92を出力する。次のクロック信号OSCKが発生すると、RG1～RG8の積和データ系列は1個分シフトされ、このタイミングに後段の演算回路2は全積和データΣ1(t1)～Σ1(t8)の加算データΣ2(t9) = 92を出力する。以下同様にして進み、こうして図18の相関出力⑧が得られる。

【0034】かくして、本第1の実施の形態によれば、図17に示す従来のマッチトフィルタの2倍にも満たない様な少ない回路構成にも係わらず、入力逆拡散信号波形を精密に反映した高精度な相関出力が得られる。本第1の実施の形態による相関出力⑧を従来の相関出力①と比較すると、相関のピーク値につき大きな振幅(92)が得られると共に、該ピーク値の回りに大きな傾斜(振幅の減衰)特性が得られる。従って、相関のピーク値を俊別(検出)し易い。しかも、入力逆拡散信号波形が精密に反映されるため、相関のピーク値(92)は入力逆拡散信号波形の先端に同期して得られる。従って、曖昧さの少ない同期捕捉が得られる。

【0035】なお、この例では相関のピーク値(92)が3つ並んでいるが、これはA/D変換の量子化幅を小さくすることで改善される。また、拡散符号にM系列を使用すれば、ピーク中間の相関出力は平坦になると共に、ピーク特性の一段とシャープな相関関数が得られる。図4は第2の実施の形態によるマッチトフィルタの構成を示す図で、後段の演算回路2における加算対象のデータ数Mが1<M<mの範囲内におけるある整数(例えばM=3)に固定されている場合を示している。

【0036】図5、図6は第2の実施の形態によるマッチトフィルタの動作を説明する図(1)、(2)である。図5において、上記図3の動作遷移表をRG8～RG6の3個分で打ち切ると図5の動作遷移表が得られる。t0～t2のタイミングにおける動作遷移は上記図3と同様である。次のt3のタイミングには後段の演算回路2のRG6～RG8に入力逆オーバーサンプリングデータ(D11～D81)、(D12～D82)、(D13～D83)に基づく積和データΣ1(t0)～Σ1(t2)がセットされる。

【0037】後段の演算回路2はこのt3のタイミング

に積和データ $\Sigma 1(t0) \sim \Sigma 1(t2)$ の加算データ $\Sigma 2(t3) = 32$ を出力する。次のクロック信号OSCKが発生すると、SR6～SR8の積和データ系列は1個分シフトされ、その結果このt4のタイミングに後段の演算回路2は積和データ $\Sigma 1(t1) \sim \Sigma 1(t3)$ の加算データ $\Sigma 2(t4) = 38$ を出力する。以下同様にして進み、こうして図6の相関出力③が得られる。

【0038】本第2の実施の形態によるマッチトフィルタの位置付けは、図17の従来のマッチトフィルタと図2の第1の実施の形態によるマッチトフィルタとの中間にあると言える。図17の従来のマッチトフィルタでも相関演算に順次m個置きのオーバーサンプリングデータを使用することで入力信号波形をある程度反映した相関関数が得られた。本第2の実施の形態によれば、相関演算には各チップ周期における各連続する3個分のオーバーサンプリングデータを使用するので、入力信号波形は一層良く反映されることとなる。その結果、比較的大きな相関振幅が得られるのみならず、各連続する3個分のオーバーサンプリングデータを使用することにより、相関ピーク値の周辺には振幅の比較的急峻な減衰特性が得られる。

【0039】かくして、本第2の実施の形態によれば、上記1の実施の形態よりも少ない回路構成にも係わらず、同期捕捉の曖昧さ（位置ずれ等）が有効に改善される。図7は第3の実施の形態によるマッチトフィルタの構成を示す図で、後段の演算回路2における加算対象のデータ数Mが $1 \leq M \leq m$ の範囲内で可変に構成されている場合を示している。

【0040】後段の演算回路2において、この例の各RG1～RG8は夫々入力データをセットするためのイネーブル端子を備えている。今、RG8に着目すると、イネーブル信号E8=1の時は該RG8に入力データがセットされ、またイネーブル信号E8=0の時は該RG8に入力データがセットされない。この場合のRG8の出力は不図示のリセット信号によりデータ「0」にリセットされる。他のRG1～RG7についても同様である。

【0041】図8は第3の実施の形態によるマッチトフィルタの動作を説明する図である。このマッチトフィルタの動作モードとしては例えば8つあり、各動作モード1～8は外部からのイネーブル信号E1～E8により選択される。図8にモード選択の真理値表を示す。動作モード1では、E8=1(H)かつE7～E1=0(L)により、RG8の内容のみ有効（加算対象）となる。この場合の相関演算は図17の従来のマッチトフィルタと同様となる。また動作モード3では、E8～E6=1かつE5～E1=0により、RG8～RG6の各内容のみ有効（加算対象）となる。この場合の相関演算は図4の第2の実施の形態によるマッチトフィルタと同様となる。そして動作モード8では、E8～E1=1により、

RG8～RG1の全内容が有効（加算対象）となる。この場合の相関演算は図2の第1の実施の形態によるマッチトフィルタと同様となる。他の動作モード2、4～7についても同様に考えられる。

【0042】本第3の実施の形態によれば、入力信号波形等に応じて相関演算に使用するオーバーサンプリングデータ数を柔軟に設定でき、効率良い相関演算を行える。なお、動作モードの真理値表は上記図8のものに限らない。例えば動作モード4として、E1, E3, E5, E7=1(H)かつE2, E4, E6, E8=0(L)となる様に設定出来る。但し、この場合の各エネーブル信号E1～E8は図7のRG1～RG8の入力ではなく、該RG1～RG8の出力の各遅延積和データ $\Sigma 1(1) \sim \Sigma 1(8)$ が入力するところの各加算器+の入力制御用に加えられる。即ち、例えばE1=1なら加算データ=積和データ $\Sigma 1(1)$ 、E2=0なら加算データ=0である。

【0043】係る構成では、後段の演算回路2は各時点における遅延積和データ $\Sigma 1(1) \sim \Sigma 1(8)$ の内の奇数番目の積和データ $\Sigma 1(1)$ 、 $\Sigma 1(3)$ 、 $\Sigma 1(5)$ 、 $\Sigma 1(7)$ を抽出して加算する事になる。こうすれば図17の従来のマッチトフィルタと比べて、4倍のオーバーサンプリングデータが各相関演算に寄与することとなり、入力信号波形が各相関演算においてより忠実に反映される。

【0044】図9は第4の実施の形態によるマッチトフィルタの構成を示す図で、後段の演算回路2におけるRG1～RG8の各出力ラインに乗算器×を介在させると共に、各出力データに対して夫々所定のタップ係数TC1～TC8を掛け合わせる場合を示している。ところで、上記第1の実施の形態では64個の全オーバーサンプリングデータにつき相関演算を行ったが、得られた相関のピーク値は理論的な最大値「128」よりも小さい「92」であった。これは図18に示す如く、入力の逆拡散信号波形が帯域制限等の影響により鈍っているからに他ならない。もし、入力の逆拡散信号波形が略完全なパルス信号波形を維持しているなら、逆拡散符号パターン「-1-1-1111-11」との間で略完全なパターン一致が得られ、この場合の相関ピーク値は理論的な最大値 $2 \times 64 = 128$ となる筈である。

【0045】そこで、本第4の実施の形態では入力の逆拡散信号波形を実質的に等化（整形）して、相関演算を行うこととする。これを図10を参照して説明する。図10は第4の実施の形態によるマッチトフィルタの動作を説明する図である。一般に入力の逆拡散信号波形を等化（整形）するには別途に周波数等化器やトランスバースルフィルタ等を設けることが考えられる。

【0046】しかし、本第4の実施の形態によれば、周波数等化器やトランスバースルフィルタ等を別途に設けなくとも、図9に示す如く後段の演算回路2にタップ係

数乗算手段を設けることで、実質的に入力 of 逆拡散データを等化したと同様の効果が得られる。これを具体的に説明すると、本第4の実施の形態では図9に示す如くRG1～RG8の各遅延積和データ系列に所定のタップ係数TC1～TC8を掛け合わせる。この場合に、例えば図10の7番目のチップ周期7に着目すると、相関演算過程のあるタイミングにおいて、RG1には積和データ $\Sigma 1(1) = D11 + D21 + D31 + D41 + D51 + D61 + D71 + D81$ がセットされ、またRG2には積和データ $\Sigma 1(2) = D12 + D22 + D32 + D42 + D52 + D62 + D72 + D82$ がセットされている。RG3～RG8についても同様である。即ち、この状態は最大相関値が得られる位相の一部を示している。

【0047】所定のタップ係数TC1～TC8の値は好ましくはこの部分（即ち、最も周波数の高い信号変化が生じる部分）における図示の如く鈍ったアイバタンの入力信号波形（図中、太点線で示す）が矩形状のパルス信号波形（図中、太実線で示す）に整形（等化）されるように選ばれる。今、例えばタップ係数TC=2とすると、RG2の積和データ $\Sigma 1(2) \times 2 = 2(D12 + D22 + D32 + D42 + D52 + D62 + D72 + D82)$ の関係となる。これは、入力信号の各オーバーサンプリングデータD12, D22, D32, D42, D52, D62, D72, D82に対して夫々2を掛けたことと等価である。この場合に、好ましくは、各乗算器×の出力に閾値を設け、乗算結果の大きさが $|2 \times 8| = |16|$ を越える時は該乗算結果の大きさを $|16|$ にクリップする。

【0048】この方法に従い具体的に計算をすると、上記図2の構成では積和データ $\Sigma 1(2) = \{(-1 \times -1) + (-2 \times -1) + (-2 \times -1) + (1 \times 1) + (2 \times 1) + (2 \times 1) + (-1 \times -1) + (1 \times 1)\} = 12$ となるところ、図9の構成では積和データ $\Sigma 1(2) \times 2 = 2\{(-1 \times -1) + (-2 \times -1) + (-2 \times -1) + (1 \times 1) + (2 \times 1) + (2 \times 1) + (-1 \times -1) + (1 \times 1)\} = 24 \geq 16 = 16$ となる。

【0049】これは上記図2の構成において、D12を $(-1) \rightarrow (-2)$, D42を $(1) \rightarrow (2)$, D72を $(-1) \rightarrow (-2)$, D82を $(1) \rightarrow (2)$ に夫々代えて求めた積和データ $\Sigma 1(2) = \{(-2 \times -1) + (-2 \times -1) + (-2 \times -1) + (2 \times 1) + (2 \times 1) + (2 \times 1) + (-2 \times -1) + (2 \times 1)\} = 16$ と同一の結果となる。

【0050】即ち、本第4の実施の形態によれば、上記積和データ $\Sigma 1(2)$ に対してタップ係数TC=2を掛ける構成により、上記図2の構成において予め入力 of 信号波形を等化（整形）後に積和データ $\Sigma 1(2)$ を求めるのと同一の結果が得られることを示している。他のタ

ップ係数TC1, TC3～TC8についても同様に考えられる。

【0051】図10に図2の構成により求めた相関出力⑧と図9の構成により求めた相関出力⑧'とを併記してある。本第4の実施の形態によれば、入力信号波形の先端で最大の相関値=120が得られている。しかも、この最大の相関値「120」は一つであり、隣の相関値「112」よりも十分に大きい。従って、本第4の実施の形態によれば、少ない回路構成で高精度かつ高安定な同期捕捉が容易に得られる。

【0052】なお、上記各乗算器×の出力に閾値を設けたが、相関演算の性質からして、このような閾値を設けなくても正しい位置に相関ピーク値が得られることは言うまでも無い。また、上記各実施の形態ではハードウェア構成によるマッチトフィルタを説明したが、本発明によるマッチトフィルタは上記各演算のアルゴリズムに従いDSP(Digital Signal Processor)や汎用のCPUを使用したソフトウェア処理によっても実現可能である。

【0053】また、上記各実施の形態における動作を具体的数値例で説明したが、本発明はこれらの数値例に限定されない。また、上記本発明に好適なる複数の実施の形態を述べたが、本発明思想を逸脱しない範囲内で、各部の構成、制御、及びこれらの組合せの様々な変更が行えることは言うまでも無い。

【0054】

【発明の効果】以上述べた如く本発明によれば、前段の積和演算手段で各m個置き of n個 of のオーバーサンプリングデータにつき逆拡散符号系列との間で順次求めた積和データ系列を、後段 of の加算演算手段でM(1<M≤m)個分順次加算する構成により、従来の2倍にも満たない少ない回路構成で、n×m個分の全オーバーサンプリングデータにつき順次相関出力を求めたと同様の高精度かつ高安定な相関出力（ひいては同期捕捉）を得ることが可能となり、スペクトラム拡散通信におけるセル同期や復調器の性能向上及び回路規模の縮小に寄与するところが極めて大きい。

【図面の簡単な説明】

【図1】図1は本発明の原理を説明する図である。

【図2】図2は第1の実施の形態によるマッチトフィルタの構成を示す図である。

【図3】図3は第1の実施の形態によるマッチトフィルタの動作を説明する図である。

【図4】図4は第2の実施の形態によるマッチトフィルタの構成を示す図である。

【図5】図5は第2の実施の形態によるマッチトフィルタの動作を説明する図(1)である。

【図6】図6は第2の実施の形態によるマッチトフィルタの動作を説明する図(2)である。

【図7】図7は第3の実施の形態によるマッチトフィルタの構成を示す図である。

【図 8】図 8 は第 3 の実施の形態によるマッチトフィルタの動作を説明する図である。

【図 9】図 9 は第 4 の実施の形態によるマッチトフィルタの構成を示す図である。

【図 1 0】図 1 0 は第 4 の実施の形態によるマッチトフィルタの動作を説明する図である。

【図 1 1】図 1 1 は従来技術を説明する図（1）である。

【図 1 2】図 1 2 は従来技術を説明する図（2）である。

【図 1 3】図 1 3 は従来技術を説明する図（3）である。

【図 1 4】図 1 4 は従来技術を説明する図（4）である。

【図 1 5】図 1 5 は従来技術を説明する図（5）である。

【図 1 6】図 1 6 は従来技術を説明する図（6）である。

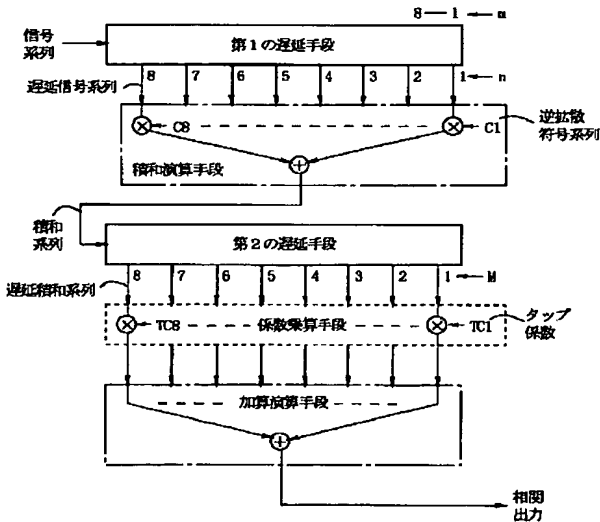
【図 1 7】図 1 7 は従来技術を説明する図（7）である。

【図 1 8】図 1 8 は従来技術を説明する図（8）であ

- ＊ する。
- 【符号の説明】
- 1 1 符号発生部（CG）
 - 1 2 乗算器（×）
 - 1 3 D/A変換器（D/A）
 - 1 4 変調部（MOD）
 - 1 5 送信アンプ（TXA）
 - 1 6 送信アンテナ
 - 2 1 受信アンテナ
 - 2 2 RFアンプ（RXA）
 - 2 3 復調部（DEM）
 - 2 4 A/D変換部（A/D）
 - 2 5 マッチトフィルタ（MF）
 - 2 6 ピーク検出部（PD）
 - 2 7 符号発生部（CG）
 - 2 8 乗算器（×）
 - FF フリップフロップ回路
 - RG レジスタ
 - SR シフトレジスタ
 - 20 + 加算器

【図 1】

本発明の原理を説明する図



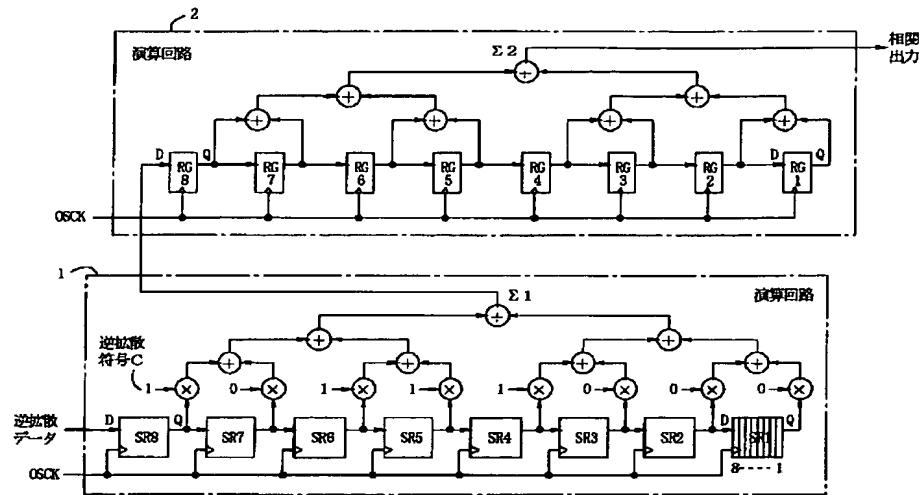
【図 8】

第 3 の実施の形態によるマッチトフィルタの動作を説明する図

動作モード	E8	E7	E6	E5	E4	E3	E2	E1
1	H	L	L	L	L	L	L	L
2	H	H	L	L	L	L	L	L
3	H	H	H	L	L	L	L	L
4	H	H	H	H	L	L	L	L
5	H	H	H	H	H	L	L	L
6	H	H	H	H	H	H	L	L
7	H	H	H	H	H	H	H	L
8	H	H	H	H	H	H	H	H

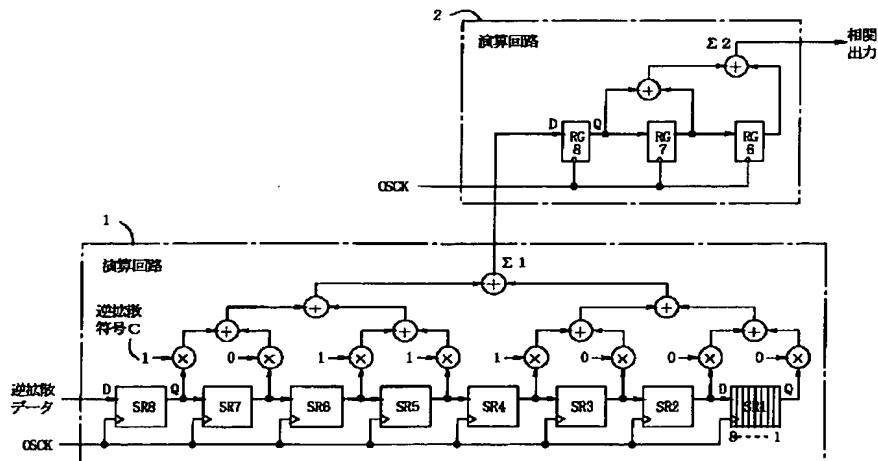
【図2】

第1の実施の形態によるマッチフィルタの構成を示す図



【図4】

第2の実施の形態によるマッチフィルタの構成を示す図



【図 3】

第 1 の実施の形態によるマッチトフィルタの動作を説明する図

	$\Sigma 1$	RG8	RG7	RG6	RG5	RG4	RG3	RG2	RG1	$\Sigma 2$
t0	D11 D81									
t1	D12 D82	D11 D81								
t2	D13 D83	D12 D82	D11 D81							
t3	D14 D84	D13 D83	D12 D82	D11 D81						
t4	D15 D85	D14 D84	D13 D83	D12 D82	D11 D81					
t5	D16 D86	D15 D85	D14 D84	D13 D83	D12 D82	D11 D81				
t6	D17 D87	D16 D86	D15 D85	D14 D84	D13 D83	D12 D82	D11 D81			
t7	D18 D88	D17 D87	D16 D86	D15 D85	D14 D84	D13 D83	D12 D82	D11 D81		
t8	D11 D81	D18 D88	D17 D87	D16 D86	D15 D85	D14 D84	D13 D83	D12 D82	D11 D81	92
t9	D12 D82	D11 D81	D18 D88	D17 D87	D16 D86	D15 D85	D14 D84	D13 D83	D12 D82	92
t10	D13 D83	D12 D82	D11 D81	D18 D88	D17 D87	D16 D86	D15 D85	D14 D84	D13 D83	84
t11	D14 D84	D13 D83	D12 D82	D11 D81	D18 D88	D17 D87	D16 D86	D15 D85	D14 D84	76
t12	D15 D85	D14 D84	D13 D83	D12 D82	D11 D81	D18 D88	D17 D87	D16 D86	D15 D85	64
t13	D16 D86	D15 D85	D14 D84	D13 D83	D12 D82	D11 D81	D18 D88	D17 D87	D16 D86	52
t14	D17 D87	D16 D86	D15 D85	D14 D84	D13 D83	D12 D82	D11 D81	D18 D88	D17 D87	40
t15	D18 D88	D17 D87	D16 D86	D15 D85	D14 D84	D13 D83	D12 D82	D11 D81	D18 D88	28
t15		D18 D88	D17 D87	D16 D86	D15 D85	D14 D84	D13 D83	D12 D82	D11 D81	20

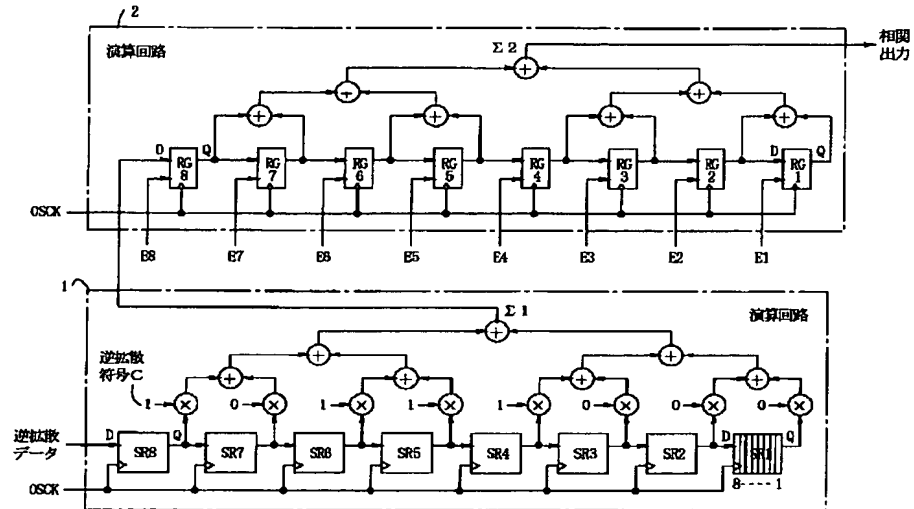
【図5】

第2の実施の形態によるマッチトフィルタの動作を説明する図(1)

	$\Sigma 1$	RG8	RG7	RG6	$\Sigma 2$
t0	D11 D81				
t1	D12 D82	D11 D81			
t2	D13 D83	D12 D82	D11 D81		
t3	D14 D84	D13 D83	D12 D82	D11 D81	32
t4	D15 D85	D14 D84	D13 D83	D12 D82	38
t5	D16 D86	D15 D85	D14 D84	D13 D83	40
t6	D17 D87	D16 D86	D15 D85	D14 D84	40
t7	D18 D88	D17 D87	D16 D86	D15 D85	38
t8	D11 D81	D18 D88	D17 D87	D16 D86	32
t9	D12 D82	D11 D81	D18 D88	D17 D87	28
t10	D13 D83	D12 D82	D11 D81	D18 D88	20
t11	D14 D84	D13 D83	D12 D82	D11 D81	16
t12	D15 D85	D14 D84	D13 D83	D12 D82	10
t13	D16 D86	D15 D85	D14 D84	D13 D83	8
t14	D17 D87	D16 D86	D15 D85	D14 D84	4
t15	D18 D88	D17 D87	D16 D86	D15 D85	2
t15		D18 D88	D17 D87	D16 D86	0

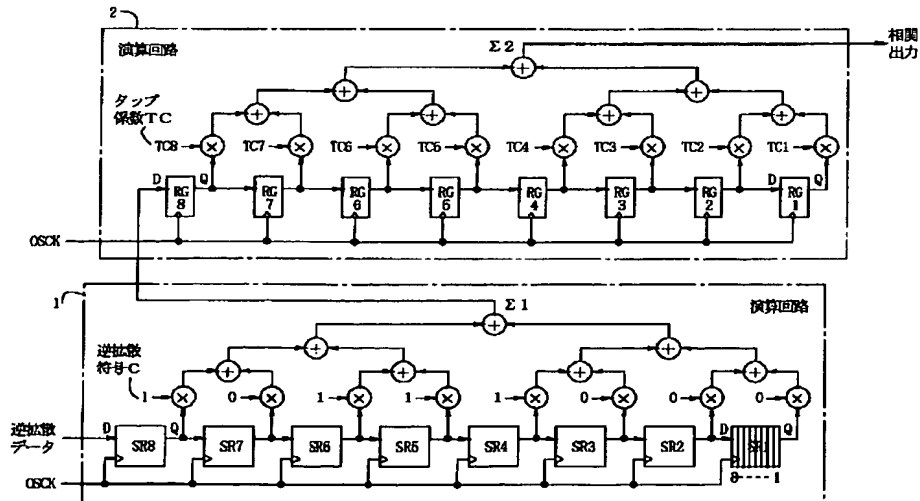
【図7】

第3の実施の形態によるマッチトフィルタの構成を示す図



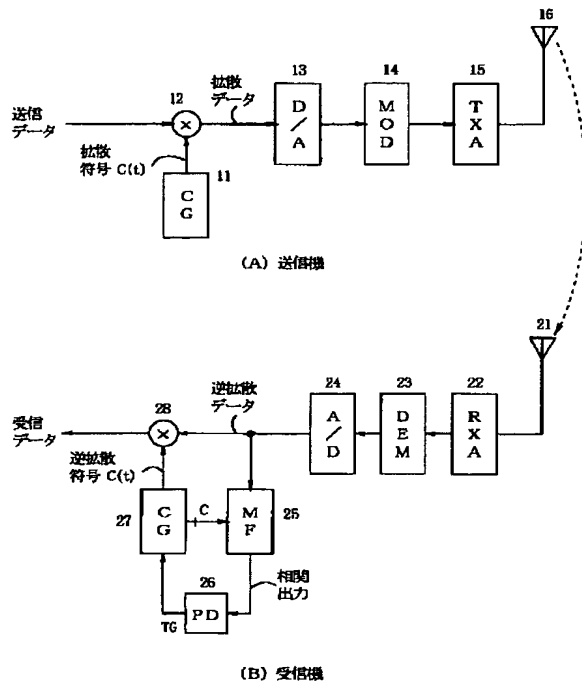
【図9】

第4の実施の形態によるマッチトフィルタの構成を示す図



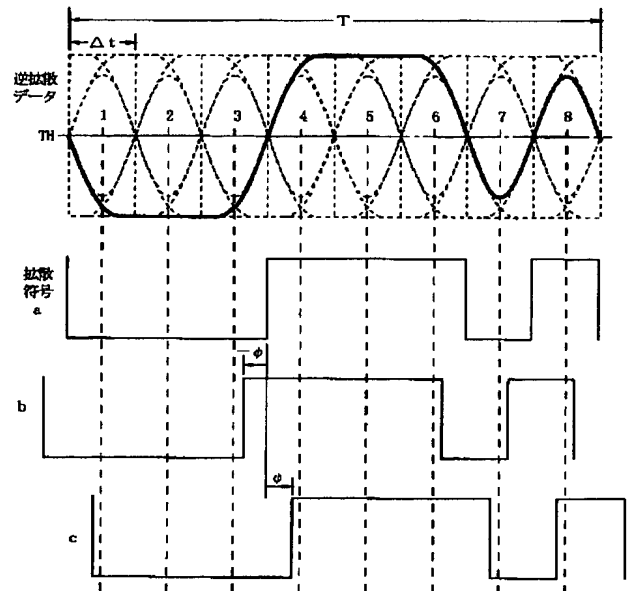
【図11】

従来技術を説明する図(1)



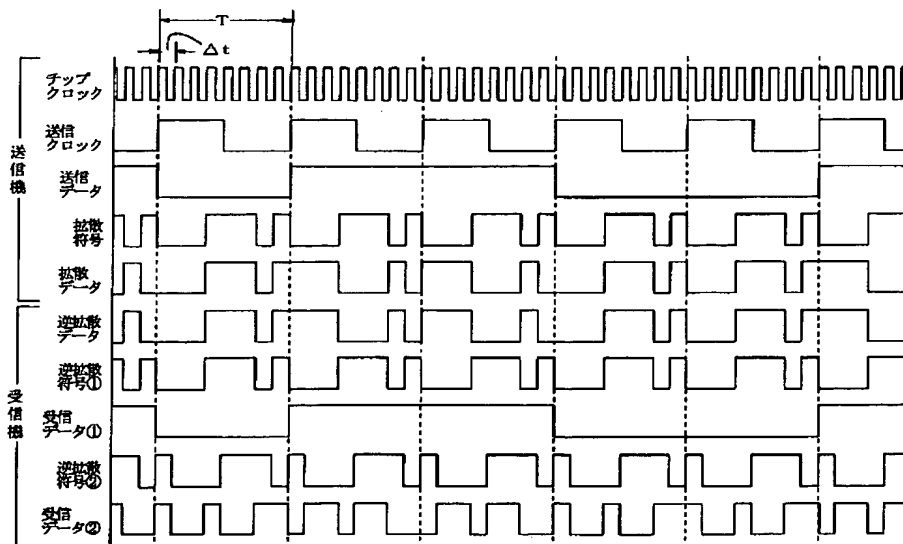
【図16】

従来技術を説明する図(6)



【図12】

従来技術を説明する図(2)

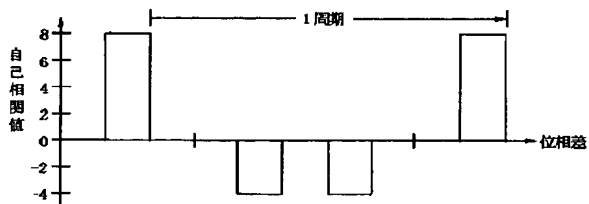


【図13】

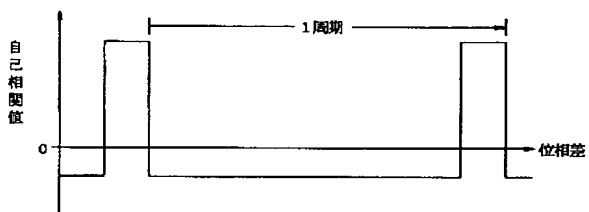
従来技術を説明する図(3)

位相差 [周期]	拡散符号系列	自己相関値
0	00011101	8
1/8	00111010	0
2/8	01110100	0
3/8	11101000	-4
4/8	11010001	0
5/8	10100011	-4
6/8	01000111	0
7/8	10001110	0
1	00011101	8

(A) 一例の拡散符号系列の自己相関値



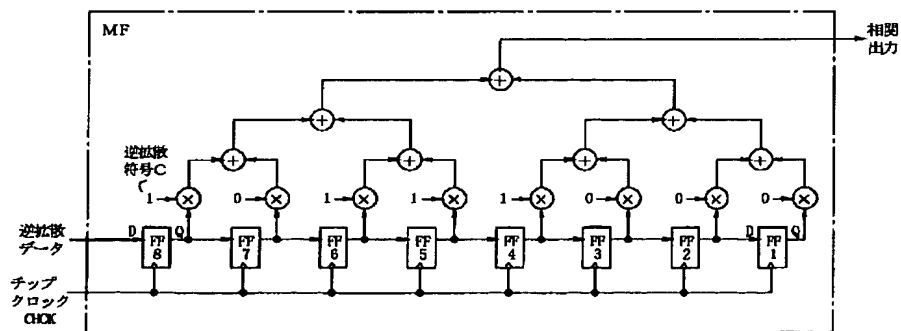
(B) 一例の拡散符号系列の自己相関関数



(C) M系列の自己相関関数

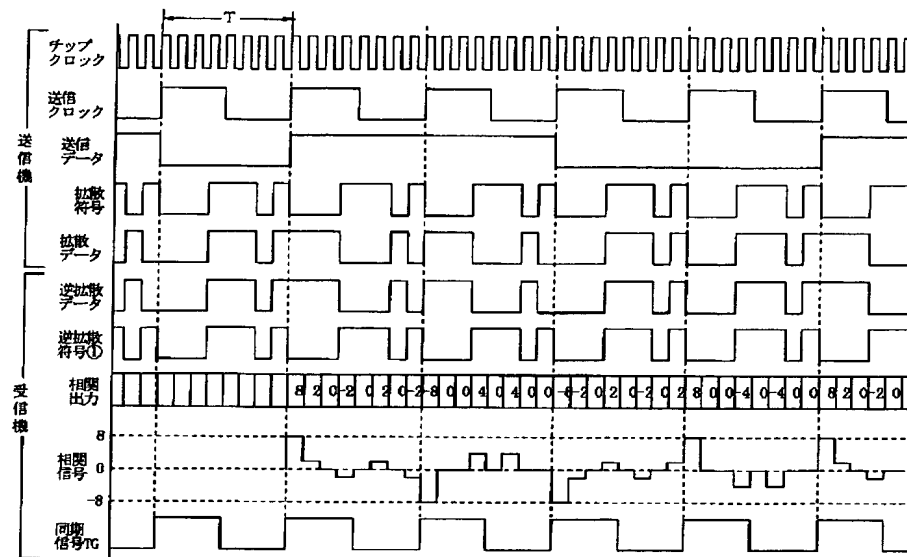
【図14】

従来技術を説明する図(4)



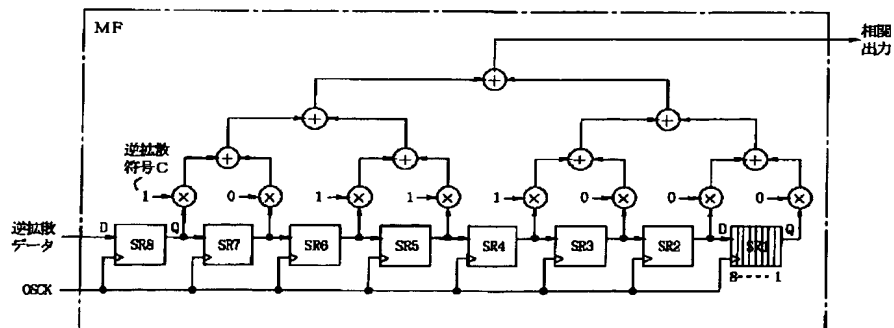
【図15】

従来技術を説明する図(5)



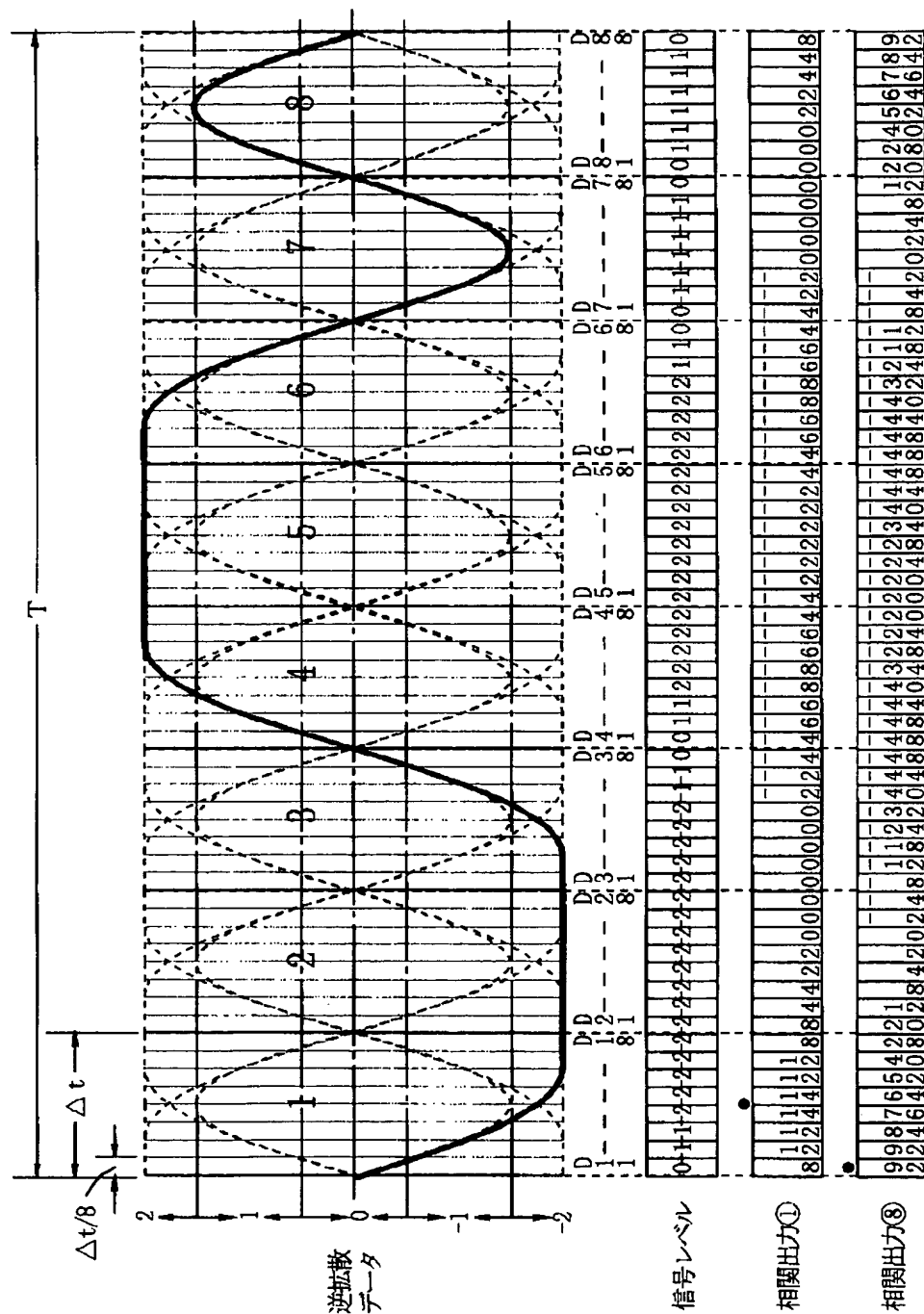
【図17】

従来技術を説明する図(7)



【図18】

従来技術を説明する図(8)



フロントページの続き

(72)発明者 松山 幸二
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

(72)発明者 清水 昌彦
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内